

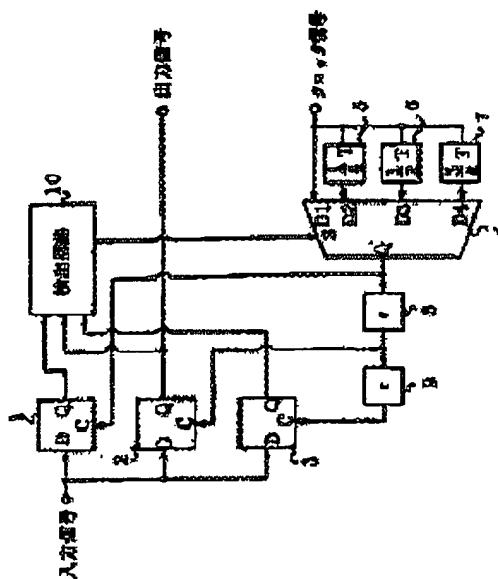
BIT PHASE SYNCHRONIZING CIRCUIT

Patent number: JP2250535
Publication date: 1990-10-08
Inventor: OIKAWA YOSHINORI
Applicant: NIPPON TELEGR & TELEPH CORP
Classification:
- International: H04L7/00
- European:
Application number: JP19890072174 19890324
Priority number(s):

Abstract of JP2250535

PURPOSE: To attain the bit synchronization in a short time by using three clock signals having the phases shifted from each other to latch the input signals and deciding based on the levels of the output signals whether a different clock signal should be selected or the present clock signal should be continuously used.

CONSTITUTION: A selector 4 selects one of four clock signals having the phases shifted by 1/4 cycle from each other and this selected clock signal is delayed by a certain delay time τ_a and $2\tau_a$. Then the input data signals are latched by three flip-flops 1-3 by means of three clock signals having the phases shifted from each other by the delay time τ_a . The latch outputs of the flip-flops are fetched by a detecting circuit 10. If even one of those three latch outputs has a different level, the selector 4 is controlled to select another clock signal shifted by 1/4 cycle. When the coincidence is secured among those three output levels, the selector 4 is controlled so that the clock selected presently is continuously used. As a result, the bit synchronization is attained in a short time.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平2-250535

⑬ Int. Cl.³
H 04 L 7/00

識別記号 庁内整理番号
A 6914-5K

⑭ 公開 平成2年(1990)10月8日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 ピット位相同期回路

⑯ 特 願 平1-72174

⑰ 出 願 平1(1989)3月24日

⑱ 発明者 及川 義則 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代理人 弁理士 磯村 雅俊

明 井田

1. 発明の名称

ピット位相同期回路

2. 特許請求の範囲

(1) 同期信号伝送回路の受信側で入力信号のピット同期をとるピット位相同期回路において、占有率50%のクロック信号を1/4周期、1/2周期および3/4周期それぞれ遅延させる第1、第2、第3の遅延回路と、上記クロック信号および第1、第2、第3の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記クロック信号の中の1つを選択し、選択したクロック信号を出力するセレクタと、該セレクタの出力信号をある遅延時間tだけ遅延させる第4、第5の遅延回路と、該セレクタの出力信号および第4、第5の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立上りないし立下り時点で入力端子に入力されたデータ信号をラッシュする第1、第2および第3のフリップフロップと、

該第1、第2および第3のフリップフロップの各出力を入力し、入力された3つの信号の高低レベルが1つでも不一致であれば、上記セレクタの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致すれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することを特徴とするピット位相同期回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、交換機の通話路装置におけるピット位相同期回路に関し、特に短時間でピット同期がとれ、かつ外部雜音に強いピット同期回路に関するものである。

【従来の技術】

従来より、交換機の通話路装置を含めて、一般的の通信装置では、入力された信号の位相を揃えるためにピット位相同期回路を設けている。ピット位相同期回路は、それぞれ異なった位相で入力し

てくる信号を同一のクロックに従って再生することにより、各入力信号の位相を調整して、同期をとっている。

第4図は、従来のビット位相同期回路の構成図であり、第5図は第4図におけるクロック信号とデータ取り込み動作のタイムチャートである。

第4図において、64は遅延時間設定用のバッファ列、65は切換えスイッチ、61, 62, 63はそれぞれフリップフロップである。

入力信号は、バッファ列64の各段から切換えスイッチ65に入力される。この切換えスイッチ65は、制御信号CTLにより入力信号の切換え接続を行っている。3個のフリップフロップ61, 62, 63は、切換えスイッチ65の出力側に各データ入力端子Dが並列接続されており、各クロック端子Cに入力されるクロック信号の立上り時に、各データ入力端子Dから入力されたデータをラッチすることにより、それぞれQ端子から読み込み値A₁, A₂, A₃として出力する。第5図に示すように、フリップフロップ62および63のク

ロック信号は、遅延回路66および67により遅延時間tだけ前段のフリップフロップ61および62より位相がずれている。またフリップフロップ62の読み込み値A₂は、同時に出力信号となる。

第4図のA₁, A₂, A₃の出力は図示されない比較回路に入力されて、そこで比較されることにより、ビット位相同期がとれているか否かが判断される。すなわち、入力信号が入力されると、第4図の読み込み値A₁, A₂を比較回路に入力して、これらのA₁とA₂を比較することにより、A₁=A₂となったときクロック信号と入力信号との位相同期がとれているものと判断し、読み込み値A₂を再生した出力信号として出力している。A₁≠A₂の場合には、制御信号CTLで切換えスイッチ65を切換えて、入力信号に順次一定値ごとの遅延を与え、A₁=A₂となるまでこれを繰り返し行う(例えば、Proc.'International Zurich Seminar on Digital Communications'1986. C4.1-C4.4参照)。

(発明が解決しようとする課題)

前述した第4図の従来例では、フリップフロップ61および63の読み込み値がA₁=A₂となるまで入力信号に対して1ずつ遅延値を変える必要があるため、位相差検出回路や最適遅延設定回路の構成が複雑となり、その都度A₁=A₂になるように入力信号の遅延時間を設定しなければならない。

その結果、位相差を検出してから安定させるまでに時間がかかるという問題があった。

本発明の目的は、このような従来の課題を解決し、クロックと入力信号のビット同期を短時間でとることができ、かつ外部雑音に強く、しかも簡単な回路構成で実現できるビット位相同期回路を提供することにある。

[課題を解決するための手段]

上記目的を達成するため、本発明のビット位相回路は、同期信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路において、占有率50%のクロック信号を1/4周期、1/2周期および3/4周期それぞれ遅延させる第1、第2、第3の遅延回路と、上記クロック信号およ

び第1、第2、第3の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記クロック信号の中の1つを選択し、選択したクロック信号を出力するセレクタと、該セレクタの出力信号をある遅延時間tだけ遅延させる第4、第5の遅延回路と、該セレクタの出力信号および第4、第5の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立上りないし立下り時点で入力端子に入力されたデータ信号をラッチする第1、第2および第3のフリップフロップと、該第1、第2および第3のフリップフロップの各出力を入力し、入力された3つの信号の高低レベルが1つでも不一致であれば、上記セレクタの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することに特徴がある。

(作用)

本発明においては、 $1/4$ 周期ずつ位相がずれた4個のクロック信号から1個のクロック信号をセレクタにより選択し、さらにそのクロック信号を \pm および $2\pm$ だけ遅延させ、 \pm ずつ位相のずれた3個のクロック信号で、入力データ信号を3個のフリップフロップにラッピし、そのラッピ出力を検出回路に取り込んで、それらのレベルが1つでも異なっていれば、セレクタを制御することにより別の $1/4$ 周期ずれたクロック信号を選択させ、それらのレベルが全て一致していれば、セレクタを制御することにより現在選択しているクロックを引き続いき選択するようにしている。これによって、ビット同期が短時間でとれ、かつ外部雜音に影響されず、しかも簡単な回路構成によりビット位相同期回路を実現できる。

〔実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の一実施例を示すビット位相同期回路の基本構成図である。

3個のクロック信号は、それぞれ3個のフリップフロップ1, 2, 3の各入力端子Dに入力される。すなわち、セレクタ4の出力端子Qからのクロック信号はフリップフロップ1のクロック端子Cに、遅延回路8の出力のクロック信号はフリップフロップ2のクロック端子Cに、遅延回路9の出力のクロック信号はフリップフロップ3のクロック端子Cに、それぞれ入力される。

一方、入力信号は同時にこれら3個のフリップフロップ1, 2, 3に入力されるが、これらの入力信号はそれぞれ \pm ずつ位相がずれたクロック信号でラッピされる。3個のフリップフロップ1, 2, 3の出力は、いずれも検出回路10に転送されて、そこで各出力レベルが比較される。比較の結果、一致していれば同期がとれているものと判断し、セレクタ4の制御端子Sには現在選択しているクロック信号を引き続いき選択するように制御信号を出力する。これに対して、一致していなければ、同期がとれていないと判断し、セレクタ4の制御端子Sに予め設定している順番で、現在選

第1図において、1, 2, 3はフリップフロップ、4はセレクタ、5, 6, 7は遅延回路、8, 9も遅延回路、10は検出回路である。

クロック信号は、占有率50%の波形がクロックジェネレータ(図示省略)から供給され、セレクタ4のD₁~D₄端子に入力される。すなわち、クロック信号は3個の遅延回路5, 6, 7によりそれぞれT/4, T/2, 3T/4ずつ遅延されて、元のクロック信号とともにセレクタ4の入力端子D₁~D₄に入力される。つまり、同期が同一で、かつ順に $1/4$ ずつ位相のずれた4個のクロック信号がセレクタ4に入力されることになる。セレクタ4では、制御端子Sに入力された選択信号により4個のクロック信号のうちの1個を選択して、出力端子Qに出力する。セレクタ4から出力されたクロック信号は、遅延回路8で \pm だけ遅延され、さらに遅延回路9で \pm だけ遅延される。これらの遅延回路8, 9およびセレクタ4の各出力を取り出すことにより、それぞれ \pm ずつ位相のずれた3個のクロック信号を生成することができる。これ

選択しているクロック信号の次のクロック信号を選択するように選択信号を出力する。このようにして、同期がとれた時のフリップフロップ2の出力をビット位相同期回路の出力信号として送出することにより、受信側のクロック信号に同期したデータを正確に再生することができる。

第2図は、第1図における具体的な構成図であり、第3図は、その動作を示すタイムチャートである。

第2図では、遅延時間 τ をT/4に設定している。また、検出回路10は、排他的ORゲート11と遅延回路12とANDゲート13とカウンタ14とから構成される。

第3図に示すデータ21~24はセレクタ4に入力するクロック信号であり、S1, S2は検出回路10からセレクタ4の端子Sに出力される選択信号であり、データ27~29はそれぞれフリップフロップ1, 2, 3に入力するクロック信号であり、データ33~35は検出回路10内の排外的ORゲート11の出力と、遅延回路12の出

力と、ANDゲート13の出力である。

クロック信号(データ21)およびこのクロック信号を遅延回路5, 6, 7で遅延したクロック信号(データ22, 23, 24)は、それぞれセレクタ4の入力端子D1~D4に入力される。セレクタ4は、2つの制御端子S1, S2に入力される2個の選択信号の組み合わせにより、4個のクロック信号の中から1個のクロック信号を選択して、出力端子Qから出力する(データ27)。

第6図は、第2図における選択信号の組み合わせとそれにより選択されるクロック信号のテーブル図である。

S1およびS2にローレベルの選択信号が入力するとデータ21(つまりD1に入力したクロック信号)が選択され、S1にハイレベル、S2にローレベルが入力するとデータ22(つまりD2に入力したクロック信号)が選択され。S1にローレベル、S2にハイレベルが入力するとデータ23(つまり、D3に入力したクロック信号)が選択され、S1, S2にハイレベルが入力するとデータ24(つまりD4に入力したクロック信号)が選択される。

第3図の場合には、入力信号の波形タイミングにより、フリップフロップ1の出力はLとなり、フリップフロップ2, 3の各出力はHとなる。排他的ORゲート11の真理値は、第7図に示すように、3個の入力のうち1個でも異なるレベルがあるときには、出力はHレベルとなる。一方、検出回路10では、遅延回路12がデータ29をさらにT/4だけ遅延させて、データ34を作成している。これにより、時刻t₁では、排他的ORゲート11の出力(データ33)はHレベルとなる。また、カウンタ14は2進カウンタであって、入力端子に入力されたクロックの立上り時毎に計数し、2進数で出力する。第3図では、時刻t₁においてデータ35が立上り、S1(データ25)がHレベルに変化している。従って、第6図から明らかのように、セレクタ4の出力(データ27)は次の順序に変更されて、データ22が選択される(データ28)。同じようにして、時刻t₂, t₃, t₄で3個のフリップフロップ1, 2, 3がデータをラッピングした場合には、入力がLレベルである

データ24(つまりD4に入力したクロック信号)が選択される。

第3図に示すように、時刻t₁では、S1(データ25)がLで、S2(データ26)もLであるため、第6図によりデータ21を選択している(出力はデータ27)。データ27は遅延回路8でT/4だけ遅延されてデータ28となり、さらに遅延回路9でT/4だけ遅延されてデータ29となる。入力信号は、3個のフリップフロップ1, 2, 3においてそれぞれデータ27, データ28, データ29の立上り時点(つまり、それぞれ時刻t₁, t₂, t₃)でラッピングされる。

第7図は、第2図の排他的ORゲートの入力と出力の真理値テーブルの図である。

データ30と31と32(つまり、フリップフロップ1と2と3の各出力信号)の組み合わせにより、排他的ORゲート11の出力はデータ33となる。すなわち、3個の入力のうち1個でも異なるレベルがあれば出力はHレベルとなり、全て同一レベルのときのみ出力がLレベルとなる。

ため、3個のフリップフロップ1, 2, 3の出力(データ30, 31, 32)が全てLとなり、レベルが全て同一であるので排他的ORゲート11の出力(データ33)は時刻t₁においてLレベルとなる。データ33がLになると、遅延回路12の出力はカウンタ14のクロック端子Cに入力できなくなるため、これ以後はS1, S2の状態を変化させることなく安定する。フリップフロップ2の出力(データ31)を出力信号として取り出すことにより、ジッタに対する余裕度を大きくとって、入力信号を再生することができる。

なお、実施例では、入力信号を説明の都合で1, 0の交番パターンの場合について述べだが、任意のパターンについてもある程度の時間をとれば同じように検出して、再生することが可能である。

このように、本発明においては、1/4周期ずつ位相がずれた4個のクロック信号から1個のクロック信号をセレクタにより選択し、さらにそのクロック信号を τ および 2τ だけ遅延させ、 τ ずつ位相のずれた3個のクロック信号で入力信号を

ラッチして、その結果それらの出力レベルが異なっていれば、セレクタを制御して別の $1/4$ 周期ずれたクロック信号を選択させ、ラッチの結果が全て一致していれば、現在選択しているクロック信号を引き焼き選択するようにセレクタを制御する。

〔発明の効果〕

以上説明したように、本発明によれば、位相のずれた3個のクロック信号で入力信号をラッシュしてこれらの出力信号のレベルにより、別のクロック信号を選択するか、現在のままのクロック信号を続けるか決定するので、ビット同期を短時間でとることができ、かつ外部の雑音に対して強く、しかも簡単な回路構成で実現できるという効果がある。

4. 図面の簡単な説明

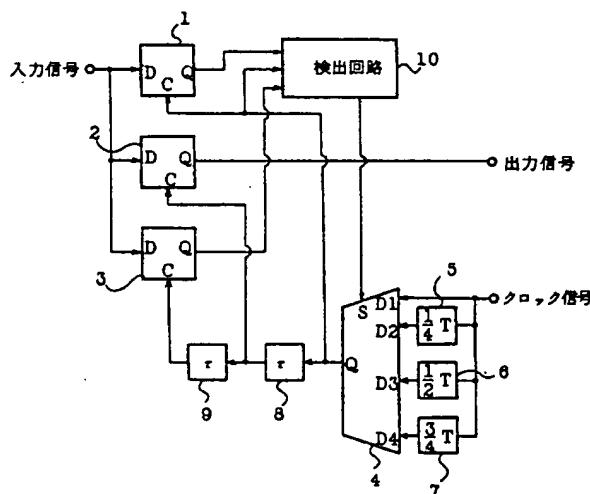
第1図は本発明の一実例を示すビット位同期回路の基本的構成図、第2図は第1図における具体的な構成図、第3図は第2図における動作タイミングチャート、第4図は従来のビット位同期回路の構成図である。

路の構成図、第5図は第4図における動作タイムチャート、第6図は第2図における選択信号の組合せと選択クロック信号のテーブル図、第7図は第2図における排他的ORゲートの真理値テーブル図である。

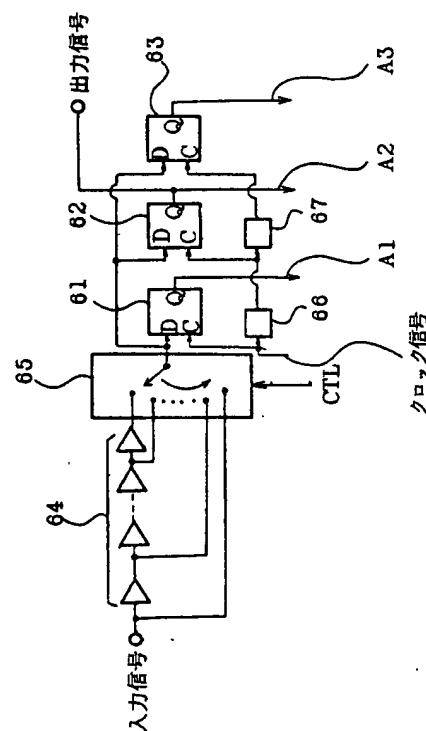
1, 2, 3, 6 1, 6 2, 6 3: フリップフロップ、
 4: セレクタ、5, 6, 7, 8, 9 6 6, 6 7: 遅延回路、10: 検出回路、11: 排他的 OR ゲート、
 13: AND ゲート、14: カウンタ、64: バッファ、65: 切換えスイッチ、CTL: 制御信号、S, S1, S2: 制御端子、D1~D4: 入力端子、Q: 出力端子、C: クロック端子。

代理人弁理士磯村雅俊

卷一



四 望



第 2 圖

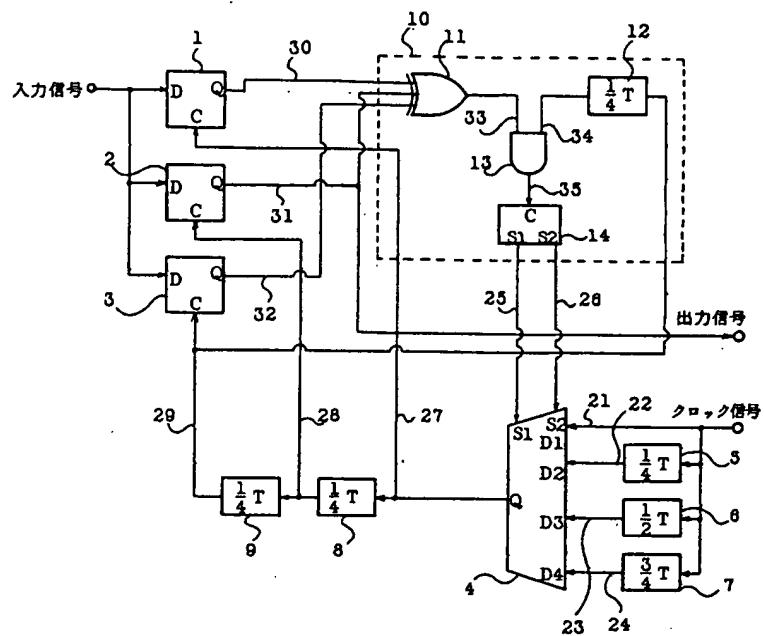
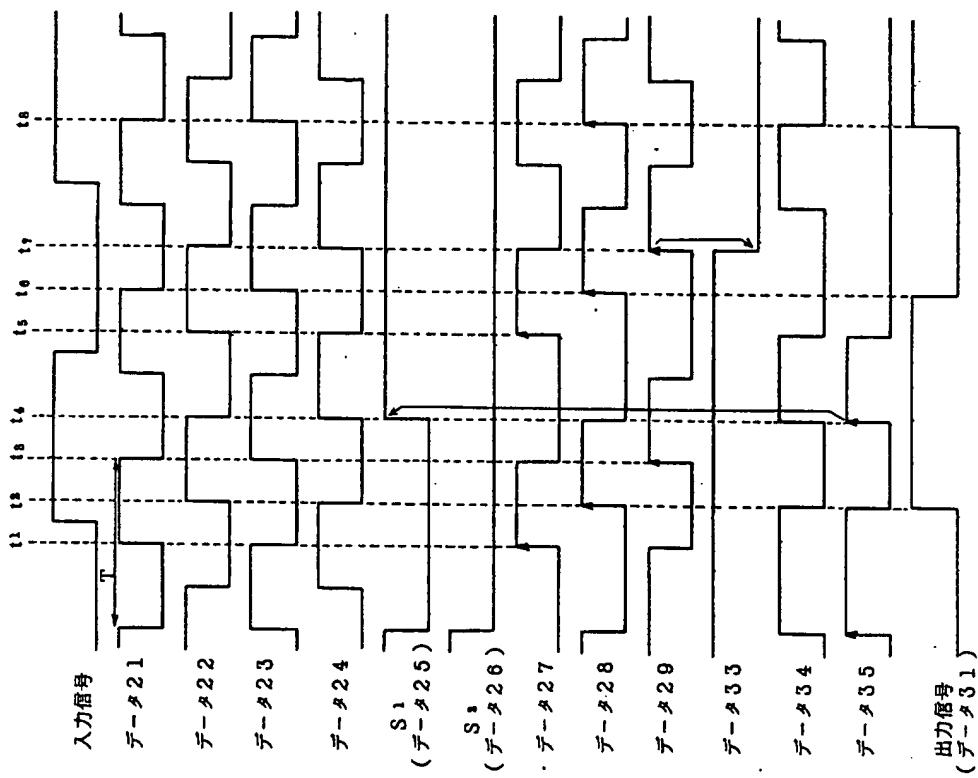


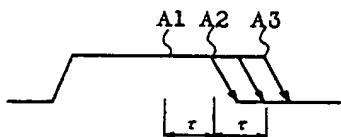
圖 3



第 6 図

S2	S1	Q
L	L	データ21
L	H	データ22
H	L	データ23
H	H	データ24

第 5 図



第 7 図

データ30	データ31	データ32	データ33
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

手 続 補 正 書 (自発)

昭和 元年 4月 26日

特許庁長官吉田文毅殿

1. 事件の表示

昭和 1年特許第72174号

2. 発明の名称

ビット位相同期回路

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区内幸町1丁目1番6号

氏名(名称) (422) 日本電信電話株式会社
代表者 山口 開生

4. 代理人

住所 東京都新宿区西新宿1丁目18番15号
中沖ビル7階 電話 (03) 348-5035

氏名 (7727) 弁理士 穂村 雅俊

5. 補正命令の日付

5. 伝 補正により増加する発明の数 なし

6. 補正の対象

明細書の「特許請求の範囲」および
「発明の詳細な説明」の箇ならびに図面

7. 本 補正の内容 別紙の通り

方式



(1) 明細書第1頁の特許請求の範囲を、別紙の通りに補正する。

(2) 明細書第10頁19行～20行の『排外的ORゲート11』を、『排他的ORゲート11』に補正する。

(3) 明細書第11頁15行～20行の『S1にハイレベル、S2に……ハイレベルが入力すると』を、『S1にHレベル、S2にLレベルが入力するとデータ22（つまりD2に入力したクロック信号）が選択され、S1にLレベル、S2にHレベルが入力するとデータ23（つまり、D3に入力したクロック信号）が選択され、S1、S2にHレベルが入力すると』に補正する。

(4) 明細書第5頁15行～第6頁19行の『上記目的を達成するため、本発明のビット位相同期回路は、……ことに特徴がある。』を、次のように補正する。

『上記目的を達成するため、本発明のビット位相同期回路は、同期式信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路にお

いて、占有率 50 % のクロック信号を $1/4$ 周期、 $1/2$ 周期および $3/4$ 周期それぞれ遅延させる第 1、第 2、第 3 の遅延回路と、上記クロック信号および第 1、第 2、第 3 の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記 4 個のクロック信号の中の 1 つを選択し、選択したクロック信号を出力するセレクタと、該セレクタの出力信号をそれぞれある遅延時間 τ_1 、 $2\tau_1$ だけ遅延させる第 4、第 5 の遅延回路と、該セレクタの出力信号および第 4、第 5 の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立ち上りないし立下り時点で 3 分岐されてそれぞれ入力端子に入力されたデータ信号をラッピングする第 1、第 2 および第 3 のフリップフロップと、該第 1、第 2 および第 3 のフリップフロップの各出力を入力し、入力された 3 つの信号の高低レベルが 1 つでも不一致であれば、上記セレクタの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致

していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することに特徴がある。』

(5) 第 1 図を、別添の図面に補正する。

特許請求の範囲

(1) 同期式信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路において、占有率 50 % のクロック信号を $1/4$ 周期、 $1/2$ 周期および $3/4$ 周期それぞれ遅延させる第 1、第 2、第 3 の遅延回路と、上記クロック信号および第 1、第 2、第 3 の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記 4 個のクロック信号の中の 1 つを選択し、選択したクロック信号を出力するセレクタと、該セレクタの出力信号をそれぞれある遅延時間 τ_1 、 $2\tau_1$ だけ遅延させる第 4、第 5 の遅延回路と、該セレクタの出力信号および第 4、第 5 の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立ち上りないし立下り時点で 3 分岐されてそれぞれ入力端子に入力されたデータ信号をラッピングする第 1、第 2 および第 3 のフリップフロップと、該第 1、第 2 および第 3 のフリップフロップの各出力を入力し、入力された 3 つの信号の高低レベルが 1 つ

でも不一致であれば、上記セレクタの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することを特徴とするビット位相同期回路。

第 1 図

